

明 細 書

半導体装置およびそのパッケージ

BACKGROUND OF THE INVENTIONField Of The Invention

本発明は、半導体装置およびそのパッケージに関する。

Background Of The Invention

近年、電力用半導体装置は、バイポーラ型から、ドライブ回路を小型化できる高入カインピーダンスのMOS型に移行しつつある。これは、従来、MOS型半導体装置は概して小さな設計ルールを採用すると面積効率を上げることはできても物理的に加工できる寸法が限られていたが、近年の加工技術の進歩によりそれらの問題も解決されつつあるからである。スイッチング用途の大電力素子では許容損失効率が問題となるため、バイポーラ型に比べて原理的にスイッチング損失が少ない特性を有するMOS型が受け入れられてきたといえる。

半導体装置の特性は主に半導体チップの設計に依存する。MOS型大電力用半導体装置は、一般的に微小な素子を並列に接続した形態で形成され、電流は、半導体チップの表面から裏面に（またはこれと逆に）垂直方向に取り出される。従って、半導体チップの表面に配置した多数の微小素子の面積効率を上げることと、全ての微小素子をバランス良く均一に動作させることが重要となる。

以下、従来の技術によるMOS型半導体装置の一例についてFig. 7～Fig. 9を参照しながら説明する。なお、以下の各図において同一の部分には同一の参照番号を付してその説明を省略する。

Fig. 7は、最大ドレイン電流 $\sim 100\text{A}$ ／最大許容損失 300W クラスの代表的Nチャンネル型パワーMOSFETを含む半導体チップの略示断面図である。

Fig. 7に示す半導体チップ100は、N⁺半導体基板1と、このN⁺半導体基板1上に形成されたN型ドレイン層3と、N型ドレイン層3の表面部に形成されたP型ベース層5と、P型ベース層5の表面部に形成されたN型ソース層7とを備える。半導体チップ100はまた、トレンチ型のゲート配線層13と、外部取り

出し電極としてのAL（アルミニウム）電極95、97と、N⁺型半導体基板1の裏面側に形成されたドレイン電極19とを備える。

Fig. 7に示す半導体チップ100の一般的な製造方法として、N型ドレイン層3は気相成長法で形成し、P型ベース層5とN型ソース層7はイオン注入法および熱拡散法を用いて形成する。ゲート配線層13はN型ソース層7およびP型ベース層5を貫通して形成されたトレンチ型の溝9の内表面にゲート酸化膜11を形成し、その後、ゲート酸化膜11を埋め込むようにポリシリコンを堆積することにより形成する。AL電極95は半導体チップ100表面のゲート領域に、また、AL電極97はソース領域に形成する。ドレイン電極19はNi等の金属層でN⁺型半導体基板1の裏面にバリアメタル18を介して形成する。

ゲート電極95に電位を与えると、P型ベース層5は、ゲート酸化膜11に接した部分が反転してN化し、N型ソース層7とN型ドレイン層3を電位的に繋ぐチャネルを作り、これによりトランジスタとして機能する。その微小な素子、即ちセルは連続して多数並べた構造をなし、トレンチ溝9は、メッシュ状に可能な限り微細化して配置される。現在、セルの配置は、平方インチ当たり約3000万セルの密度が実現されており、さらに微細化した製品の開発が進められている。

Fig. 8は、Fig. 7に示す半導体チップ100の表面でのソース電極およびゲート電極の配置を示す平面図である。集積形成されたセルのゲート部は、ゲート配線層13によりゲート電極95に接続される。また、同図に示すように、ソース電極97は、電流特性を配慮してチップの表面に可能な限り大きな面積を有するように配置される。

このように、半導体チップ100ではトレンチ型のゲート電極を用いることにより、素子の微細化を進めてオン抵抗の低減を図っていた。

Fig. 9Aは、Fig. 7に示す半導体装置チップ100を組み込んだ半導体装置のパッケージの従来例を示す側面図であり、Fig. 9BはFig. 9Aに示す半導体装置のパッケージの斜視図である。フレーム51のうちフレーム放熱部51aは、半導体チップ100の裏面のドレイン電極に、はんだまたは導電性樹脂などで固着されてドレイン端子となる。一方、半導体チップ100の上面におけるゲート電極95およびソース電極97は、ALまたはAu（金）などで形成されたワイヤ10

3, 104で外部リード端子53, 54へそれぞれ引き出される。半導体チップ100は、フレーム放熱部51a、ワイヤ103, 104および外部リード端子53, 54の各ワイヤとの接続部の全体が封止樹脂56で覆われた後、フレーム51、リード端子53, 54の曲げ成形および接続部の切断等の工程を経て個々の半導体装置となる。

前述したように、近年の半導体加工技術の進歩により、Fig. 7に示す半導体チップについても、チップの面積効率が向上し、比較的小さなサイズのチップで大電流が扱えるようになり、従って、小さなパッケージに搭載することも可能になった。

しかしながら、小型化したパッケージでは、外部リード端子との間で十分な接面積を取ることができず、この結果、接続ワイヤの本数が制限されてしまうという問題が明らかになってきた。また、ワイヤの本数を増やすことにより電流容量を満足させても、多数のワイヤでの接続ではソース電極の一部にしか接続されず、ソース電極自体の横方向抵抗の大きさが問題になることが判ってきた。即ち、特性改善の余地が未だ残されているといえる。

現状での解決策としては、AL電極の厚さを従来の2~3 μm から例えば~10 μm にし、横方向の断面積を大きくして抵抗値を下げたり、接続ワイヤの本数を増やすことにより対処している。しかし、半導体装置の製品としては、いずれの方法によっても材料費が増大してコストアップになるという問題がある。

また、比較的安価に形成できる湿式メッキ法により、例えばNiやCuなどのメッキ金属をソース電極の材料に選べば、Fig. 10に示す半導体装置のパッケージ300のように、例えば電流容量が大きいCu材で作られた接続板55とのほとんど付けが可能となり、この接続板55を介して外部リード端子53, 54との間で大面積での接続が可能となり、組立て構造に起因する電流ロスを軽減できることが予想される。

しかし、NiやCuなどのメッキ金属を直接Si（シリコン）上に形成した場合、このSiの熱膨張率とNiやCuなどの重金属の熱膨張率とが相違するため、境界面、即ち、Si-メッキ金属間で剥離現象が発生するおそれがある。また、このようなメッキ金属となる電極をSiに接して配置する場合の影響として、S

i 結晶の歪により例えば半導体装置の特性を変化させたり、PN接合のリーク電流を増大させるなどの不具合が生じることがある。この原因の1つは、Siと金属の物性である線膨張率(α)の違いと考えられる(Si: $\alpha = 2.6 \times 10^{-6} / \text{at } 20^\circ\text{C}$ に対して Ni: $\alpha = 13.4$, Cu: $\alpha = 16.5$)。この線膨張率(α)の相違による影響を解消するため、バリアメタルとしてSi ($\alpha = 2.6 \times 10^{-6} / \text{at } 20^\circ\text{C}$)に近い α を有する金属であるW(タングステン: $\alpha = 4.5$)やMo(モリブデン: $\alpha = 4$)などの金属層を、金属とSiとの合金層を介してそれぞれ設けるのが普通であり、やはり工程が複雑になりコストアップとなるという問題があった。

BRIEF SUMMARY OF THE INVENTION

本発明の第1の側面によれば、内部に形成された半導体回路と；第1の表面に形成された電極構造と；を備える半導体装置であって、前記電極構造は、第1の金属で形成され前記半導体回路に接続された第1の電極層と、前記第1の電極層の上に第2の金属で形成された金属メッキ層と、を含み、前記第2の金属は、半導体装置の外部における取り出し電極とはんだ付け可能である、半導体装置が提供される。

本発明の第2の側面によれば、内部に形成された半導体回路と第1の表面に形成された電極構造とを含む半導体装置と；前記半導体装置を支持する支持基板と；リード端子と；金属板と；を備える半導体装置のパッケージであって、前記電極構造は、第1の電極層と金属メッキ層とを有し、前記第1の電極層は、第1の金属で形成され前記半導体回路に接続され、前記金属メッキ層は、前記第1の電極層の上に第2の金属で形成され、前記第2の金属は、半導体装置の外部における取り出し電極とはんだ付け可能であり、前記リード端子は、第3の金属で形成され、前記第1の電極層に接続され、前記金属板は、第4の金属で形成され、前記取り出し電極をなす金属板であって、前記リード端子を前記第1の電極層に前記金属メッキ層を介して接続する、半導体装置のパッケージが提供される。

本発明の第3の側面によれば、内部に形成された半導体回路と第1の表面に形成された電極構造とを含むMOS型大電力用半導体装置と；フレーム板と；リー

ド端子と；金属板と；を備える半導体装置のパッケージであって、前記電極構造は、第1の金属で形成され前記半導体回路に接続された第1の電極層と、前記第1の電極層の上に第2の金属で形成された金属メッキ層と、前記第1の表面とは反対の面である第2の表面に第3の金属で形成された第2の電極層と、を有し、前記第2の金属は、半導体装置の外部における取り出し電極とはんだ付け可能であり、前記第1の電極層と前記金属メッキ層は、ゲート電極またはソース電極のうち少なくとも1つの電極をなし、前記第2の電極層は、ドレイン電極をなし、前記フレーム板は、第4の金属で形成され、前記半導体装置を前記第2の表面側で支持するとともに前記第2の電極層に接続され、前記リード端子は、第5の金属で形成され、前記第1の電極層に接続され、前記金属板は、第6の金属で形成され、前記取り出し電極をなす金属板であって、前記リード端子を前記第1の電極層に前記金属メッキ層を介して接続する、半導体装置のパッケージが提供される。

BRIEF DESCRIPTION OF THE DRAWINGS

添付図面において、

Fig. 1は、本発明にかかる半導体装置の実施の一形態である半導体チップを示す略示断面図である。

Fig. 2は、Fig. 1に示す半導体チップのオン抵抗を従来技術との対比で示すグラフである。

Fig. 3Aは、本発明にかかる半導体装置のパッケージの実施の一形態を示す側面図である。

Fig. 3Bは、Fig. 3Aに示す半導体装置のパッケージの斜視図である。

Fig. 4は、本発明の効果を説明するための従来の技術による半導体チップの平面図である。

Fig. 5は、Fig. 4に示す半導体チップに接続されるAuワイヤの抵抗値のグラフである。

Fig. 6は、Fig. 4に示す半導体チップ表面のAL配線の抵抗値のグラフである。

Fig. 7は、従来の技術によるNチャネル型パワーMOSFETを含む半導体チ

ップの一例の略示断面図である。

Fig. 8は、Fig. 7に示すチップの表面におけるソース電極およびゲート電極の配置を示す平面図である。

Fig. 9Aは、従来の技術によりFig. 7に示す半導体装置チップを組み込んだ半導体装置のパッケージの一例を示す側面図である。

Fig. 9Bは、Fig. 9Aに示す半導体装置のパッケージの斜視図である。

Fig. 10Aは、従来の技術による半導体装置のパッケージの他の一例を示す側面図である。そして、

Fig. 10Bは、Fig. 10Aに示す半導体装置のパッケージの斜視図である。

DETAILED DESCRIPTION OF THE INVENTION

以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

(1) 半導体装置の実施の一形態

Fig. 1は、本発明にかかる半導体装置の実施の一形態である半導体チップを示す略示断面図である。Fig. 7との対比において明らかなように、Fig. 1に示す半導体チップ10の特徴は、AL層15、17が0.5 μm 以上の約4 μm の膜厚を有するように形成されている点と、これらAL層15、17の上にそれぞれ形成された金属メッキ層35、37をさらに備え、AL層15および金属メッキ層35でゲート電極を構成し、AL層17および金属メッキ層37でソース電極を構成する点にある。半導体チップ10のその他の構成は、Fig. 7に示す半導体チップと実質的に同一である。

本実施形態において、金属メッキ層35、37は、Ni（ニッケル）またはCu（銅）などのはんだ付け可能な金属のメッキ処理により形成する。このメッキ処理は無電解メッキにより行う。従って、半導体装置の製造プロセスにおいてウェーハ状態での処理が可能であり、金属であるAL電極の表面上にのみ、これらの金属メッキ層35、37を形成することができる。このように、本実施形態によれば、まず、ゲート電極およびソース電極が従来と同様の材料でなるAL層15、17を含むので、ALの柔らかさ（硬度）により、Siとの界面で剥離が発生するおそれが解消する。次に、AL層15、17と外部電極との仲介金属とし

Fig. 2は、半導体チップ10のオン抵抗を従来技術との対比でシミュレーションにより示すグラフである。同図において、Aは、Fig. 1に示す半導体チップ10のオン抵抗を表わす。また、Bは、半導体チップ10においてAL層15、17の厚さを約0.5 μm で形成した場合のオン抵抗を表わす。さらに、Cは、半導体チップ10と同様に約4 μm の厚さのAL層を有するが、トレンチを有しないプレーナ型のMOSFETのオン抵抗を表わす。AとBの対比から、AL層15、17の厚みを0.5 μm から約4 μm に増大させることにより、オン抵抗が約15 m Ω から約6 m Ω へと大幅に低減することが分かる。また、AとCの対比からAL層の厚さが同じであっても、トレンチを有することにより一層の微細化が実現できるので、オン抵抗が大幅に低減することが分かる。

また、金属メッキ層 35, 37 の形成はメッキのプロセスを用いるため、保護膜としての P I (ポリイミド) 層 21 をメッキのマスクとして用いることができる。即ち、P I 層 21 で A L 層の表面を部分的にマスクした後にメッキ処理を実行することにより、P I 層に覆われた領域以外の領域における A L 層の上にのみ選択的に金属メッキ層 35, 37 を形成できる。一般的に、Ni や Cu のマスクエッチングでは、強酸でのエッチングが必要であるために、エッチングレートの制御等、困難な処理を伴う場合が多い。本実施形態においては、P I 層をマスクとして用いることにより、極めて単純な工程で金属メッキ層 35, 37 を形成できる。この結果、電極抵抗の小さい半導体装置を安価に製造することができる。

湿式メッキ、いわゆる無電解メッキの方法は、例えば置換メッキ法や化学還元メッキ法を用いることができる。置換メッキ法は、電気化学順位の違い、即ち、溶液中の異種金属の電位差を利用する方法であり、また、化学還元メッキ法は、硫酸銅溶液中におけるFe（鉄）表面上にCu（銅）メッキができる例と還元剤、例えば次亜リン酸ソーダの力による金属イオン還元の活性化エネルギーを利用する方法である。一般的に、大気中ではアルミニウム金属の特性上、表面に Al_2O_3 （アルミナ）が形成されている。従って、本実施形態では金属メッキ層が簡単に

剥がれることを防止するために、メッキ前処理により AL_2O_3 を除去した後にAL層15、17の表面へメッキ処理を実行する。この前処理としては、いわゆるジンケート処理が望ましい。これは、強固なメッキ付着層を形成するため、AL層15、17の表面に置換メッキにより薄いZn（亜鉛）層を形成する処理である。

(2) 半導体装置のパッケージの実施の一形態

本発明にかかる半導体装置のパッケージの実施の一形態をFig. 3AとFig. 3Bに示す。Fig. 3Aは、本実施形態の半導体装置のパッケージ20を示す側面図であり、Fig. 3Bはその斜視図である。

半導体装置のパッケージ20は、上述した半導体チップ10を組み込んだものであり、Fig. 3Bに示すように、外部リード端子53とソース電極17（Fig. 1参照）とを接続する接続板55を備える。接続板55は、Cu板の打ち抜き材で形成される。半導体チップ10のソース電極17の表面には、上述したように、金属メッキ層37（Fig. 1参照）が形成されているので、接続板55は、はんだまたは導電性樹脂材により金属メッキ層37に固着される。従って、半導体チップ10のソース電極17は、金属メッキ層37、接続板55を介して外部リード端子53に接続される。また、半導体チップ10のゲート電極15の表面にも金属メッキ層35（Fig. 1参照）が形成されており、ゲート電極15は、この金属メッキ層35、ゲートワイヤ104を介して外部リード端子54に接続される。半導体装置のパッケージ20のその他の構成は、Fig. 10に示した半導体装置のパッケージ300と実質的に同一である。

このように、本実施形態によれば、前述した本発明にかかる半導体装置を組み込むので、パッケージのリード端子とチップのソース電極との接続においてALやAuで形成されたワイヤに依存する必要がなく、Cu等で形成した接続板を用いることができる。これにより、ソース電極の表面全体を外部リードに接続できるので、電極抵抗を大幅に低減することができる。

本実施形態の半導体装置のパッケージ20とFig. 9に示す従来の半導体装置のパッケージ200のチップオン抵抗をシミュレーションにより算出したところ、半導体装置のパッケージ200のチップオン抵抗が平均で8.3m Ω であるのに

対し、半導体装置のパッケージ20のチップオン抵抗は平均で6.0 mΩであった。このことから、本実施形態により2.3 mΩだけチップオン抵抗が改善されることが分かる。この抵抗値の改善は、前述した半導体装置の電極構造に起因するものである。この点をFig. 4~Fig. 7を参照しながら説明する。

Fig. 4は、Fig. 9に示す半導体装置のパッケージ200の要部を示す平面図である。半導体装置のパッケージ200において並列に配置された11本の接続ワイヤ103は、それぞれ60 μmφ、長さ2 mmの金線であり、11.5 mΩの抵抗値を有する。従って、ワイヤ103全体の抵抗値RAuワイヤA11はFig. 5のグラフに示すとおり、

$$RAuワイヤA11 = 1.05 \text{ m}\Omega \cdots \cdots (1)$$

である。

次に、半導体装置のパッケージ200のAL配線の抵抗値を算出する。Fig. 4に示すように、半導体チップ100のサイズは幅3.79 mm、長さ2.65であり、このうちAL電極15, 17のサイズは、全体として幅3.79 mm、長さ2.05であり、また、その厚さは4 μmである。ALの抵抗率を $\rho_{AL} = 2.65 \times 10^{-6}$ (結晶AL)とすると、AL電極15, 17の長さ方向の全抵抗値RALは、

$$RAL = 1.748 \times 2.05 \text{ (mm)} = 3.58 \text{ (m}\Omega\text{)}$$

である。

実際のチップのワイヤ接続位置とソース電極17端部の中央までは約0.73 mmであるため、ソース電極17の横方向における平均の抵抗値RALavは、Fig. 6にも示すように、

$$RALav = 1.748 \times 0.73 \text{ (mm)} = 1.28 \text{ (m}\Omega\text{)} \cdots \cdots (2)$$

となる。

従って、Auワイヤ抵抗とAL電極抵抗の合計は、(1)と(2)から、

$$RAuワイヤA11 + RALav = 1.05 \text{ m}\Omega + 1.28 \text{ m}\Omega = 2.33 \text{ m}\Omega$$

となり、前述したチップオン抵抗の改善分とほぼ一致する。この値は、半導体装置のパッケージ200の平均チップオン抵抗8.3 mΩの約28%を占める。このことは、本実施形態により、チップオン抵抗の値が28%改善されることを表

わす。

以上、本発明の実施の形態について説明したが、本発明は上記形態に限ることなくその範囲と精神を逸脱することなく種々変形して実施することができる。例えば、上述した半導体装置のパッケージの実施形態では、外部リード端子とゲート電極およびソース電極との各接続において、AL層（ソース電極）17と外部リード端子53とは、接続板55を介して接続する一方、ゲート電極の電流容量が少ないことから、AL層（ゲート電）15と外部リード54とはワイヤ104を介して接続することとした。しかしながら、ワイヤ104に代えて、例えばストライプ状の接続板を用いてゲート電極15と外部リード54とを接続しても良い。この場合は、接触面積が広がるので、電極抵抗をより一層節減することができる。